



Atty. Docket No. OF03P106/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

Tae Woo KIM : GROUP ART UNIT:

SERIAL NO: 10/627,277 :

FILED: July 25, 2003 : EXAMINER:

FOR: Method for Fabricating MOS Transistors

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on February 5, 2004.

By: 
Jennie Heaton

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0043794	July 25, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0043794

Application Number

출 원 년 월 일 : 2002년 07월 25일

Date of Application JUL 25, 2002

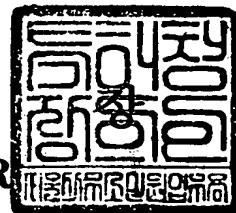
출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 07 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0004		
【제출일자】	2002.07.25		
【발명의 명칭】	모스 트랜ジ스터의 제조 방법		
【발명의 영문명칭】	Method of Fabricating MOS Transistor		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	강성배		
【대리인코드】	9-1999-000101-3		
【포괄위임등록번호】	2001-050901-4		
【발명자】			
【성명의 국문표기】	김태우		
【성명의 영문표기】	KIM, Tae Woo		
【주민등록번호】	680809-1069615		
【우편번호】	467-850		
【주소】	경기도 이천시 대월면 사동리 현대전자사원아파트 106-1206		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사 를 청구합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	13	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	0	건	0 원
【심사청구료】	4	항	237,000 원
【합계】	266,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는, 게이트 선폭 감소에도 불구하고 트랜지스터의 특성 저하없이 접합 캐패시턴스를 감소시킬 수 있는 모스(MOS) 트랜지스터의 제조 방법을 개시한다. 개시된 본 발명은 소자분리막이 구비된 반도체 기판 상에 버퍼 산화막을 형성하는 단계; 상기 버퍼 산화막을 관통하여 상기 기판의 액티브 영역 내에 웨л 이온주입 및 필드 스탑 이온주입을 차례로 수행하는 단계; 상기 버퍼 산화막을 제거하는 단계; 상기 반도체 기판 상에 희생막을 형성하는 단계; 상기 희생막을 패터닝하여 게이트 전극 형성 영역을 한정하는 트렌치를 형성하는 단계; 상기 트렌치에 의해 노출된 반도체 기판 영역 내에 문턱전압조절 이온주입과 편치 스탑 이온주입을 차례로 수행하는 단계; 상기 트렌치 저면의 기판 표면에 게이트 산화막을 형성하는 단계; 상기 트렌치가 완전 매립되도록 희생막 상에 폴리실리콘막을 형성하는 단계; 상기 희생막 표면이 노출될 때까지 상기 폴리실리콘막을 연마하여 게이트 전극을 형성하는 단계; 상기 희생막을 제거하는 단계; 상기 게이트 전극 양측의 기판 표면에 LDD 영역을 형성하는 단계; 상기 게이트 전극 양측벽에 스페이서를 형성하는 단계; 및 상기 스페이서를 포함한 게이트 전극 양측의 기판 표면에 소오스/드레인 영역을 형성하는 단계를 포함한다.

【대표도】

도 2e

【명세서】**【발명의 명칭】**

모스 트랜지스터의 제조 방법{Method of Fabricating MOS Transistor}

【도면의 간단한 설명】

도 1a 내지 도 1c는 종래 기술에 따른 모스 트랜지스터의 제조 방법을 설명하기 위한 각 공정별 단면도.

도 2a 내지 도 2e는 본 발명의 실시예에 따른 모스 트랜지스터의 제조 방법을 설명하기 위한 각 공정별 단면도.

- 도면의 주요 부분에 대한 부호의 설명 -

21 : 반도체 기판

23 : 소자분리막

25 : 버퍼 산화막

27 : 희생산화막

29 : 트렌치

31a : 게이트 산화막

31b : 폴리실리콘막

31 : 게이트 전극

33 : LDD 영역

37a : 산화막

37b : 질화막

37 : 스페이서

35 : 소오스/드레인 영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는, 게이트 선폭 감소에도 불구하고 트랜지스터의 특성 저하없이 접합 캐패시턴스를 감소시킬 수 있는 모스(MOS) 트랜지스터의 제조 방법에 관한 것이다.
- <12> 주지된 바와 같이, 반도체 소자의 고집적화에 따라 게이트 전극의 선폭 감소가 이루어지고 있고, 이러한 게이트 전극의 선폭 감소에 의해 채널 길이가 감소되어 트랜지스터의 임계전압(V_t)이 급격하게 줄어드는 단채널효과(Short Channel Effect)가 유발되는 바, 상기 단채널효과를 줄이기 위한 다양한 기술들이 제안되고 있다.
- <13> 여기서, 상기 단채널효과의 방지는 반도체 소자의 고집적화를 위해서 반드시 해결되어야 할 과제이며, 저도핑드레인(Lightly Doped Drain : 이하, LDD) 영역을 형성하는 것이 상기 단채널효과를 방지하기 위한 방법의 그 한 예이다
- <14> 이하에서는 LDD 구조를 적용한 종래의 모스 트랜지스터의 제조 방법이 첨부된 도 1a 내지 도 1c를 참조해서 설명하도록 한다.
- <15> 도 1a를 참조하면, 트렌치 형의 소자분리막(2)이 구비된 반도체 기판(1)의 전 영역 내에 웰(Well), 필드 스탑(Field Stop), 펀치 스탑(Punch Stop) 및 문턱전압조절(V_{th} Adjust) 이온주입 공정을 차례로 수행하고, 이어서, 상기 반도체 기판(1) 상에 게이트 산화막(3a)과 게이트 도전막(3b)을 차례로 형성한 후, 상기 게이트 산화막(3a)과 게이트 도전막(3b)을 패터닝하여 게이트 전극(4)을 형성한다.

<16> 도 1b를 참조하면, 상기 게이트 전극(4)을 포함한 반도체 기판(1)에 불순물을 저농도로 이온주입하여 상기 게이트 전극(4) 양측 기판 영역에 LDD 영역(5)을 형성한다. 그런 다음, 상기 게이트 전극(4)을 덮도록 상기 반도체 기판(1) 상에 산화막(6a)과 질화막(6b)을 차례로 형성한다.

<17> 도 1c를 참조하면, 상기 산화막(6a)과 질화막(6b)을 블랭킷 식각하여 상기 게이트 전극(4) 양측벽에 스페이서(7)를 형성한다. 그런 다음, 기판의 전 영역에 불순물을 고농도로 이온주입하고, 이어서, 열처리를 수행하여 상기 게이트 전극(4) 양측의 기판 영역에 LDD 영역(5)을 구비한 소오스/드레인 영역(8)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

<18> 그러나, 상기와 같은 종래 기술에 따른 모스 트랜지스터의 제조 방법은, 단채널 효과를 개선하기 위하여 웨л, 필드 스탑, 펀치 스탑 및 문턱전압조절 이온주입을 반도체 기판의 액티브(Active) 영역 전체에 연속적으로 수행하므로, 소오스/드레인 영역에서의 웨л(Well) 도핑 농도가 증가하게 된다.

<19> 이때, 상기의 웨л 도핑농도의 증가는 소오스/드레인 영역에 접합 캐패시턴스(Junction Capacitance)의 발생을 야기하고, 상기 접합 캐패시턴스는 게이트 신호의 지연(Gate delay)을 야기시켜, 반도체 소자의 신뢰성을 저하시키는 주된 요인으로 작용한다. 특히, 이와 같은 문제는 게이트 전극의 임계치수가 감소됨에 따라 단채널효과에 의한 소자 특성의 열화가 심해지고 있는 추세에서 반드시 해결되어야 할 사항 중 하나이다.



1020020043794

출력 일자: 2003/7/19

<20> 따라서, 본 발명은 상기와 같은 문제점을 해결하기 안출된 것으로서, 게이트 선폭 감소에도 불구하고 트랜지스터의 특성 저하없이 접합 캐패시턴스를 감소시킬 수 있는 모스 트랜지스터의 제조 방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<21> 상기와 같은 목적을 달성하기 위한 본 발명의 모스 트랜지스터의 제조 방법은, 소자분리막이 구비된 반도체 기판 상에 버퍼 산화막을 형성하는 단계; 상기 버퍼 산화막을 관통하여 상기 기판의 액티브 영역 내에 웨л 이온주입 및 필드 스탑 이온주입을 차례로 수행하는 단계; 상기 버퍼 산화막을 제거하는 단계; 상기 반도체 기판 상에 희생막을 형성하는 단계; 상기 희생막을 패터닝하여 게이트 전극 형성 영역을 한정하는 트렌치를 형성하는 단계; 상기 트렌치에 의해 노출된 반도체 기판 영역 내에 문턱전압조절 이온주입과 편치 스탑 이온주입을 차례로 수행하는 단계; 상기 트렌치 저면의 기판 표면에 게이트 산화막을 형성하는 단계; 상기 트렌치가 완전 매립되도록 희생막 상에 폴리실리콘막을 형성하는 단계; 상기 희생막 표면이 노출될 때까지 상기 폴리실리콘막을 연마하여 게이트 전극을 형성하는 단계; 상기 희생막을 제거하는 단계; 상기 게이트 전극 양측의 기판 표면에 LDD 영역을 형성하는 단계; 상기 게이트 전극 양측벽에 스페이서를 형성하는 단계; 및 상기 스페이서를 포함한 게이트 전극 양측의 기판 표면에 소오스/드레인 영역을 형성하는 단계를 포함한다.

<22> 여기서, 상기 본 발명에 따르면, 채널 영역에만 문턱전압조절 이온주입 및 편치 스탑 이온주입을 수행하기 때문에, 접합 캐패시턴스의 증가를 방지할 수 있으며 따라서, 소자 특성 저하를 방지할 수 있다.

<23> (실시예)

- <24> 이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.
- <25> 도 2a 내지 도 2e는 본 발명의 실시예에 따른 모스 트랜지스터의 제조 방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.
- <26> 도 2a를 참조하면, 트렌치형의 소자분리막(23)을 구비한 반도체 기판(21) 상에 버퍼 산화막(25)을 형성한다. 그런 다음, 상기 버퍼 산화막(25)을 관통하여 상기 기판(21)의 액티브 영역 내에 웰 이온주입 및 필드 스탑 이온주입을 차례로 수행한다.
- <27> 도 2b를 참조하면, 상기 버퍼 산화막을 제거하고, 이어, 상기 반도체 기판(21) 상에 CVD 산화막으로 이루어진 희생막(27)을 소망하는 게이트 전극 두께에 해당하는 두께, 예컨대, 500~1000Å 두께로 형성한다. 다음으로, 공자의 포토리소그라피 공정에 따라 상기 희생막(27)을 패터닝하여 게이트 전극 형성 영역을 한정하는 트렌치(29)를 형성한다. 이때, 상기 희생막의 패터닝은 습식 식각 공정으로 진행한다. 계속해서, 상기 트렌치(29)에 의해 노출된 반도체 기판(21) 영역, 즉, 모스 트랜지스터의 채널 예정 영역에 만 문턱전압조절 이온주입과 펀치 스탑 이온주입을 차례로 수행한다.
- <28> 도 2c를 참조하면, 상기 트렌치(29) 저면의 기판(21) 표면에 산화 공정을 통해 게이트 산화막(31a)을 형성한 후, 상기 트렌치(29)가 완전 매립되도록 상기 희생막(27) 상에 폴리실리콘막(31b)을 형성한다.
- <29> 도 2d를 참조하면, 상기 희생막 표면이 노출될 때까지 상기 폴리실리콘막(31b)을 연마하여 게이트 전극(31)을 형성한다. 그런 다음, 상기 희생막을 제거한 상태에서 상기



기판 결과물에 대해 불순물의 저농도 이온 주입을 행하고, 연이어, 열처리를 행하여 LDD 영역(33)을 형성한다.

<30> 도 2e를 참조하면, 상기 게이트 전극(31)을 덮도록 기판 전 영역에 산화막 (37a)과 질화막(37b)을 차례로 형성하고, 이어, 상기 산화막(37a)과 질화막(37b)을 블랭킷 식각하여 상기 게이트 전극(31)의 양측벽에 스페이서(37)를 형성한다. 그런 다음, 상기 단계 까지의 기판 결과물에 대해 불순물의 고농도 이온주입 및 열처리를 수행하여, 상기 게이트 전극(37) 양측의 기판 표면에 소오스/드레인 영역(35)을 형성하고, 이 결과로써, 본 발명에 따른 모스 트랜지스터의 형성을 완성한다.

<31> 전술한 바와 같은 본 발명의 방법에 따르면, 문턱전압조절 이온주입 및 편치스텝 이온주입이 채널 예정 영역에 대해서만 수행되므로, 상기 이러한 공정들이 액티브 영역 전체에 대해 수행되는 종래의 기술과 비교해서, 본 발명의 방법은 접합 캐패시턴스의 증가를 방지할 수 있다.

【발명의 효과】

<32> 이상에서와 같이, 본 발명은 게이트 전극 영역을 한정하는 트렌치를 형성하고, 상기 트렌치를 이용하여 문턱전압조절 이온주입 및 편치 스텁 이온주입을 채널 예정 영역에 대해서만 수행하므로, 소오스/드레인 영역의 웨尔 도핑 농도의 증가를 방지할 수 있으며, 따라서, 게이트 전극의 길이가 감소하더라도 트랜지스터의 특성 저하 없이 접합 커패시턴스를 감소시킬 수 있다. 그래서, 게이트 신호의 지연(Gate delay)을 감소시켜, 반도체 소자의 신뢰성을 향상시킨다.

1020020043794

출력 일자: 2003/7/19

<33> 기타, 본 발명은 그 요지가 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허 청구범위】**【청구항 1】**

소자분리막이 구비된 반도체 기판 상에 버퍼 산화막을 형성하는 단계;

상기 버퍼 산화막을 관통하여 상기 기판의 액티브 영역 내에 웨爾 이온주입 및 필드 스탑 이온주입을 차례로 수행하는 단계;

상기 버퍼 산화막을 제거하는 단계;

상기 반도체 기판 상에 희생막을 형성하는 단계;

상기 희생막을 패터닝하여 게이트 전극 형성 영역을 한정하는 트렌치를 형성하는

단계;

상기 트렌치에 의해 노출된 반도체 기판 영역 내에 문턱전압조절 이온주입과 편치 스탑 이온주입을 차례로 수행하는 단계;

상기 트렌치 저면의 기판 표면에 게이트 산화막을 형성하는 단계;

상기 트렌치가 완전 매립되도록 희생막 상에 폴리실리콘막을 형성하는 단계;

상기 희생막 표면이 노출될 때까지 상기 폴리실리콘막을 연마하여 게이트 전극을 형성하는 단계;

상기 희생막을 제거하는 단계;

상기 게이트 전극 양측의 기판 표면에 LDD 영역을 형성하는 단계;

상기 게이트 전극 양측벽에 스페이서를 형성하는 단계; 및

상기 스페이서를 포함한 게이트 전극 양측의 기판 표면에 소오스/드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 희생막은 CVD 산화막인 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 3】

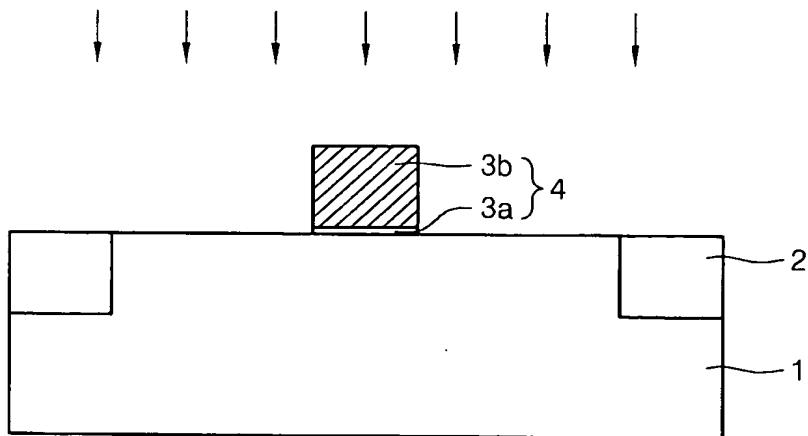
제 1 항 또는 제 2 항에 있어서, 상기 희생막은 500~1000Å 두께로 형성하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【청구항 4】

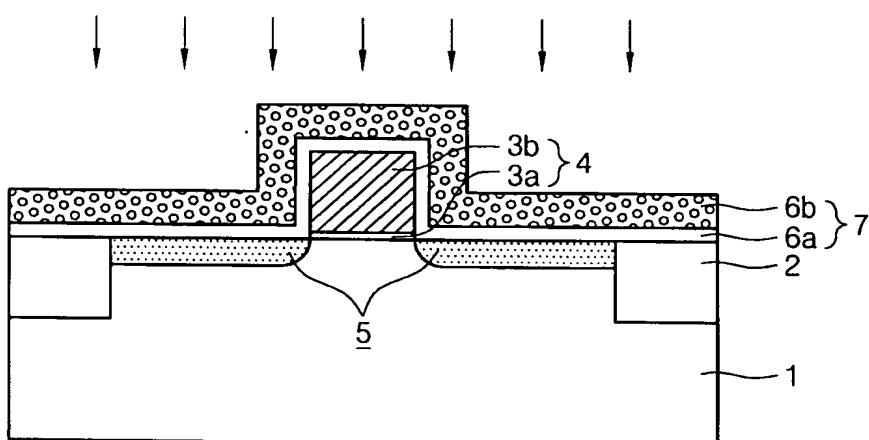
제 1 항에 있어서, 상기 희생막의 패터닝은 습식 식각 공정으로 진행하는 것을 특징으로 하는 모스 트랜지스터의 제조방법.

【도면】

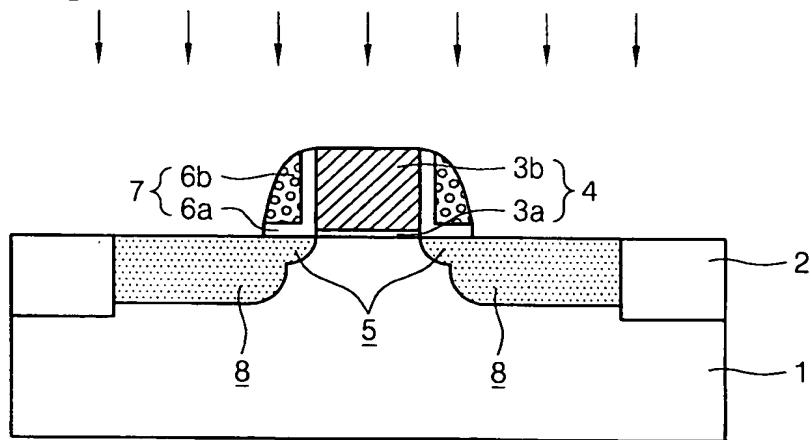
【도 1a】



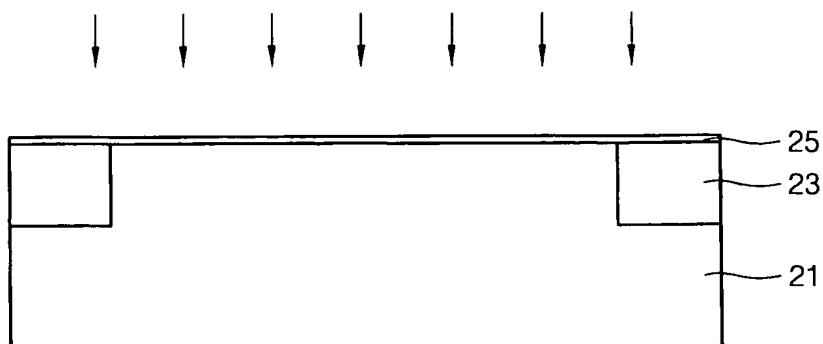
【도 1b】



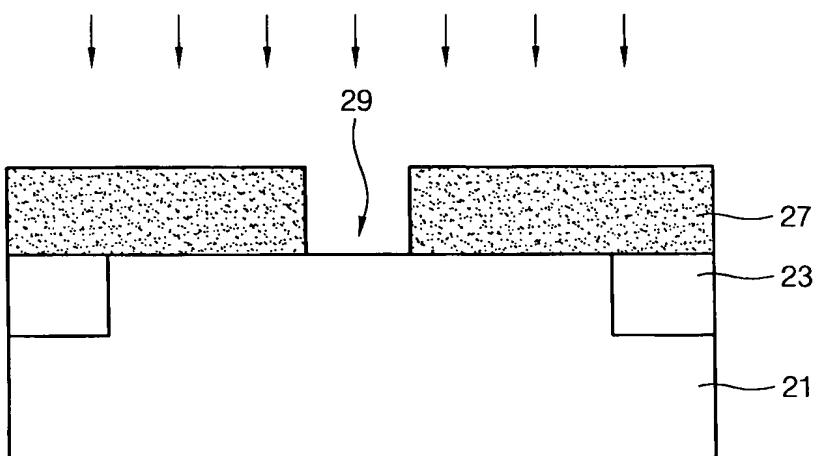
【도 1c】



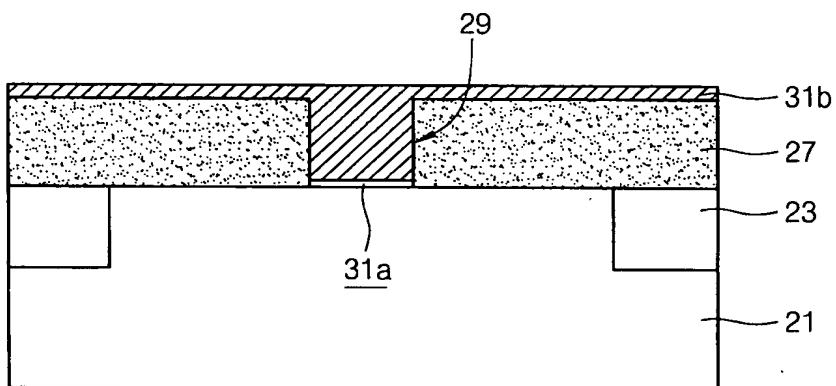
【도 2a】



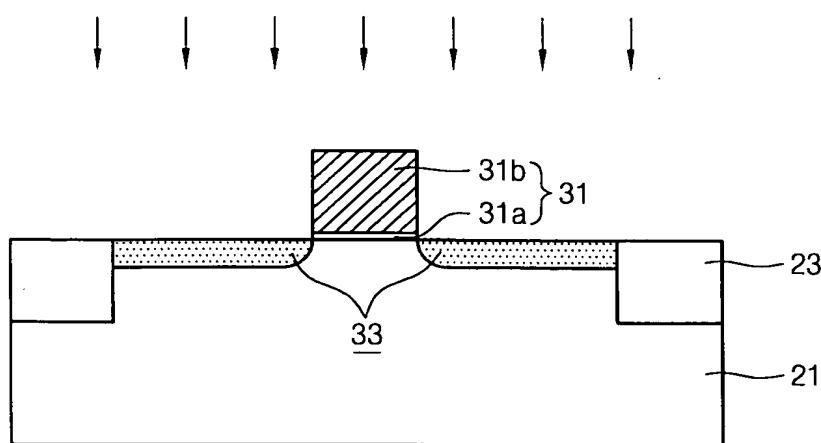
【도 2b】



【도 2c】



【도 2d】



【도 2e】

